

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-021283

(43)Date of publication of application : 17.02.1979

(51)Int.Cl.

H01L 29/80  
H01L 21/205  
H01L 29/06  
H01L 29/20

(21)Application number : 52-086809

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 19.07.1977

(72)Inventor : MUROTANI TOSHIO  
SEGAWA KAZUAKI  
SHIMANOE TAKUJI  
MIKI HIDEJIRO

## (54) MANUFACTURE FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To increase the reliability of pn junction type FET, by forming a concave through selective etching of the parg being the gate, and by continuously forming the P type semiconductor layer and the metallic layer on the concave with epitaxial method.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## 公開特許公報

昭54—21283

⑫Int. Cl.<sup>2</sup>

識別記号

⑬日本分類

庁内整理番号

⑭公開 昭和54年(1979)2月17日

H 01 L 29/80

99(5) E 3

6603—5F

H 01 L 21/205

99(5) B 15

7739—5F

H 01 L 29/06

7514—5F

H 01 L 29/20

7514—5F

発明の数 1

審査請求 未請求

(全 4 頁)

⑮半導体装置の製造方法

⑯発明者 嶋ノ江琢二

⑰特 願 昭52—86809

⑱出 願 昭52(1977)7月19日

⑲発明者 室谷利夫

尼崎市南清水字中野80番地 三

菱電機株式会社中央研究所内

同

瀬川和明

尼崎市南清水字中野80番地 三

菱電機株式会社中央研究所内

同

尼崎市南清水字中野80番地 三

菱電機株式会社中央研究所内

三木秀二郎

尼崎市南清水字中野80番地 三

菱電機株式会社中央研究所内

⑳出 願 人 三菱電機株式会社

東京都千代田区丸の内二丁目2

番3号

㉑代理人 弁理士 葛野信一 外1名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

Ⅱ—Ⅴ族化合物半導体基体のゲート部となる部分を選択的にエッチングして凹部を形成し、次いで前記凹部に分子線エビタキシャル技術を用いてp形半導体層および金属層を連続蒸着してゲート部を形成することを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

この発明は、半導体装置の製造方法に係り、特にpn接合形化合物半導体電界効果トランジスタの製造方法に関するものである。

従来、この種の電界効果トランジスタの製造方法としては、第1図に示すものがあつた。これはゲート部がショットキー接合形の電界効果トランジスタの製造方法を示すものである。第1図において、1は半導体性半導体基板、2、3はそれぞれ相対濃度が約 $10^{17}\text{cm}^{-3}$ 、 $10^{18}\text{cm}^{-3}$ のエビタ

キシャル層、4、5はソース電極およびゲート電極となる金属膜、6はフォトリソレジスト膜、7はショットキー金属層である。

次に、製造方法についてGaAsの場合を例にとつて説明する。なお、説明の都合上、図面の符号は同じものを特定して使用する。

製造の工程は第1図の(a)→(b)→(c)→(d)の順で行う。まず、半導体性GaAs基板1の上に相対濃度が約 $10^{17}\text{cm}^{-3}$ のGaAs絶縁層2および相対濃度が約 $10^{18}\text{cm}^{-3}$ のGaAs高濃度層3を気相エビタキシャルや液相エビタキシャルのようなエビタキシャル技術で成長させたウェハを準備する(第1図(a))。

次に、このウェハ上にソース電極、ドレイン電極となる金属膜4を蒸着により形成する(第2図(b))。

さらにその上にフォトリソレジスト膜5を塗布し、写真製版技術によりゲート部となる位置を除去し、このフォトリソレジスト膜5を保護膜として金属膜4をエッチングし、さらにGaAs絶縁層2、Ga

A<sub>3</sub>高濃度層3をGaAsのエッチング液でエッチングすると、各層2、3は深さ方向のみならず、横の方へもエッチングされて、フォトレジスト膜5、金属膜4の穴より横の方に広がった第1図(c)に示した凹部が形成される。

第1図(c)の構造の上に上方から金属を蒸着する。これによりGaAs能動層2の部分に蒸着された金属膜7は、ゲート電極であるショットキー接合を形成する。ソース電極、ドレイン電極となる金属膜4の上に蒸着された金属膜6はそのまま、ソース、ドレインのオーミック金属となる。上記においてGaAs高濃度層3は、GaAs能動層2と金属膜4の間のオーミック接触部の抵抗を減らす役割を果たすために設けられている。

従来のショットキー接合形の電界効果トランジスタは以上のように構成されているので、ゲート部は、金属を蒸着して形成するが、ショットキー接合は一般に蒸着前のGaAs下地の表面状態や、熱処理に敏感で信頼性が劣る欠点がある。

この発明は上記のような従来のものの欠点を除

去するためになされたもので、分子線エビタキシャル法で、ゲートとなる凹部の一部分にp形GaAs層を成長させ、その上にさらにゲート電極を形成してpn接合形電界効果トランジスタを作り、トランジスタの信頼性を高めることを目的としている。従来、蒸着法によりGaAs単結晶膜を作製することは不可能であつたが、最近発達してきた分子線エビタキシャル技術により、凹部の一部に選択的にp形GaAs層を形成できることを見出したことにもとづいてこの発明はなされたものである。以下この発明について説明する。

第2図はこの発明の一実施例を示す工程図で、11は多結晶性のSiO<sub>2</sub>膜、12はフォトレジスト膜、13はGaAs多結晶膜、14は単結晶のp形GaAs電導層、15はゲート金属層、16は金属膜、17および18はそれぞれソース電極およびドレイン電極である。

さて、第2図(a)に示すように、従来例と同じウェハを準備する。このウェハ上にSiO<sub>2</sub>膜11を形成する(第2図(b))。

次に、フォトレジスト膜12を塗布し、写真製版後、SiO<sub>2</sub>膜11をエッチングし、GaAs高濃度層3、GaAs能動層2のエッチングの工程を経て、第1図(c)と同様な構造をした凹部を形成する(第2図(c))。

次に、第2図(c)におけるフォトレジスト膜12を除去し、分子線エビタキシャル技術により、GaAsおよびp形ドーパントであるMnの分子線を照射して、ゲート部にp形GaAs電導層14を作成する。さらにこの上にゲート電極となる金属の分子線を照射してゲート金属層15を形成する(第2図(d))。なお、GaAs多結晶膜13は、p形GaAs電導層14の作製の時、下地が多結晶性のSiO<sub>2</sub>膜11の部分に付随して形成されるものである。同じく、金属膜16はゲート金属層15の形成の際に付随して形成されるものである。

第2図(e)の工程では、GaAs高濃度層3の上の各層11、13、16は弗酸エッチングと超音波洗浄により除去し、ソース電極、ドレイン電

極17、18を写真製版技術によつて形成する。

なお、上記実施例では、SiO<sub>2</sub>膜11を設けてマスクとしたものを示したがこの種のマスクとして金属その他のマスクを使用してもよい。

以上説明したようにこの発明によれば、ゲート部を、GaAs中に形成された凹部の一部分に凹部形成時のマスクを利用して、p形GaAs電導層をエビタキシャル成長して形成し、pn接合形電界効果トランジスタとしたので、従来のショットキー接合形の電界効果トランジスタより信頼性が増す効果がある。また電界効果トランジスタのゲート長を短くすることにより、より高周波化が可能となるが、従来はこのゲート長の写真製版技術による微細加工技術の精度により制限されていた。しかし、この発明によれば、ゲート電極の下にp形GaAs電導層をサイドエッチングすることによりゲート長を制御して短くできるので高周波化が容易である。またコーメートされた分子線を使つてゲート部を形成するので、通常の蒸着で形成するよりゲート部がだれの少ないシャー

ブな構造にでき、信頼性が増す等の数多の優れた効果がある。

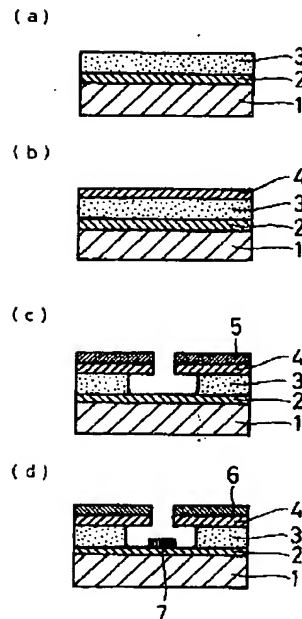
#### 4. 図面の簡単な説明

第1図は従来のショットキー接合形の電界効果トランジスタの製造方法を説明するための工程図。第2図はこの発明の製造方法の一実施例を示す工程図である。

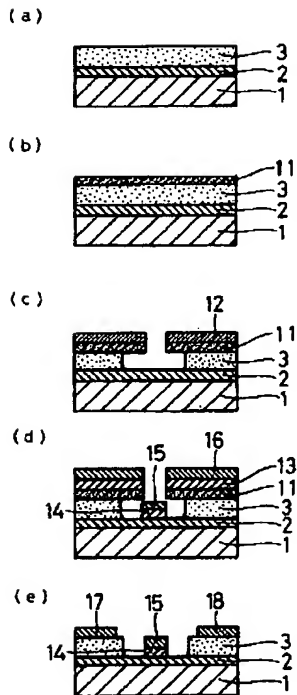
図中、1は半絶縁性半導体基板、2、3はエピタキシャル層、11はSiO<sub>2</sub>膜、12はフォトリソリスト膜、13はGaAs多結晶膜、14はp形GaAs電導層、15はゲート金属、17、18はソース電極およびドレイン電極である。

代理人 葛野 信一 (外1名)

第 1 図



第 2 図



手続補正書 (自発)

昭和52年12月29日

特許庁長官殿

1. 事件の表示 特願昭 52-86809号

2. 発明の名称 半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601) 三菱電機株式会社  
代表者 進 藤 貞 和

4. 代 理 人  
住 所 東京都千代田区丸の内二丁目2番3号  
氏 名 (6699) 三菱電機株式会社内  
弁理士 葛野 信一

5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第4頁19行に「 $\text{SiO}_2$ 」とあるのを「 $\text{SiO}_2$ 」と訂正する。

(2) 同じく第5頁4行に「凹部をし」とあるのを「凹部を形」と訂正する。

(3) 同じく第6頁4行の「使用してもよい。」の次に下記を加える。

「また、p形GaAs電導層14の代りにGaAs膜とは禁制帯幅の異なる半導体層(例えばAlGaAs層)を形成して、ヘテロ接合電界効果トランジスタを作成する場合にも適用できる。」

以 上